

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-236766

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl.<sup>6</sup>H 0 1 L 29/78  
21/336

識別記号

庁内整理番号

9055-4M

F I

H 0 1 L 29/78

技術表示箇所

3 2 1 V

3 2 1 P

6 5 2 E

審査請求 未請求 請求項の数26 O L (全 17 頁)

(21) 出願番号 特願平7-66033

(22) 出願日 平成7年(1995)3月24日

(31) 優先権主張番号 特願平6-324694

(32) 優先日 平6(1994)12月27日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-60693

(32) 優先日 平6(1994)3月30日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-215769

(32) 優先日 平6(1994)9月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 高橋 茂樹

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 片岡 光浩

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(74) 代理人 弁理士 碓氷 裕彦

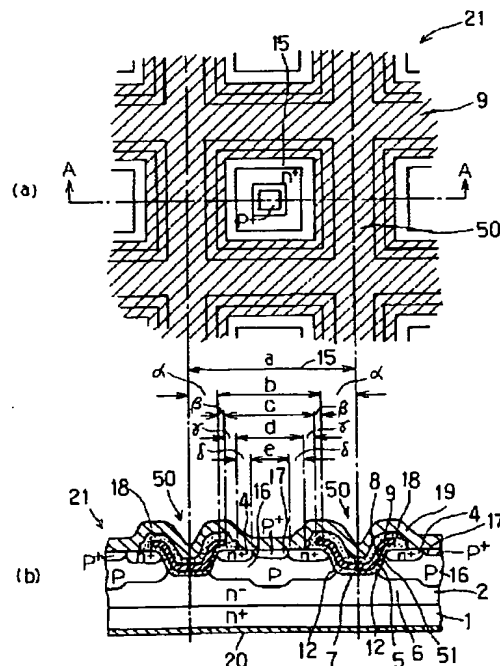
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 チャネル部を溝の側面にもつMOSFETの製造方法において、第一にチャネル部に欠陥や汚染物質を導入することのない製造方法を得ることと、第二に溝形状を均一にできる製造方法を得ることである。

【構成】  $n^+$  型半導体基板1の一主面側に低不純物濃度の  $n^-$  型エピタキシャル層2を形成し、この表面を主表面としてその所定領域をケミカルドライエッチングする。そのケミカルドライエッチングにより生じた面を含む領域を選択酸化し、所定厚さを有する選択酸化膜を形成する。その後、 $p$  型と  $n$  型の不純物を主表面より二重拡散し、この二重拡散によりチャネルの長さを規定すると同時にベース層とソース層を形成する。さらに  $n^+$  型半導体基板1をドレイン層とする。この二重拡散の後にゲート酸化膜を介してゲート電極を形成およびソース、ドレイン電極を形成する。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に配置された第 1 導電型の半導体層の主表面上に、所定領域に開口部を有するマスクを形成するマスク形成工程と、

前記マスクの開口部を通して前記半導体層をケミカルドライエッチングし、前記半導体層に、前記開口部よりも広い入口部分、前記主表面と略平行の底面、及び前記入口部分と前記底面とをつなぐ側面、を有する第 1 の溝を形成するケミカルドライエッチング工程と、

前記第 1 の溝を含む領域を酸化することにより、前記第 1 の溝の表面に所定厚さの酸化膜を形成する酸化工程と、

前記酸化膜に接する前記半導体層表面を含むように前記主表面側から第 2 導電型の不純物を導入して前記半導体層内に第 2 導電型のベース層を形成し、前記ベース層内に前記主表面側から第 1 導電型の不純物を導入して第 1 導電型のソース層を形成し、かかるソース層形成時に前記ベース層の側壁にチャンネル領域を形成する不純物導入工程と、

前記酸化膜を除去して、前記第 1 の溝よりも深い所定深さを有する第 2 の溝を形成する酸化膜除去工程と、

少なくとも前記ソース層と前記半導体層との間の前記第 2 の溝表面にゲート絶縁膜を介してゲート電極を形成し、前記ソース層及び前記ベース層に電氣的に接触するソース電極を形成し、前記半導体基板に電氣的に接触するドレイン電極を形成する電極形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記ケミカルドライエッチング工程が等方性エッチング工程であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記ケミカルドライエッチング工程は、四フッ化炭素と酸素とを含むガス系でエッチングする工程からなることを特徴とする請求項 1 乃至請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記ケミカルドライエッチング工程は、 $\text{CCl}_4$ 、 $\text{Cl}_2$ 、 $\text{SF}_6$ 、 $\text{CFCl}_3$ 、 $\text{CF}_2\text{Cl}_2$ 、 $\text{CF}_3\text{Cl}$ 、 $\text{CHF}_3$ 、 $\text{C}_2\text{F}_4$ 、 $\text{C}_2\text{F}_6$ 、 $\text{F}_2$ 、 $\text{NF}_3$ 、 $\text{BCl}_3$  の内の何れか一つもしくは複数を含むガス系でエッチングする工程からなることを特徴とする請求項 1 乃至請求項 2 記載の半導体装置の製造方法。

【請求項 5】 前記ケミカルドライエッチング工程は、電離されたガス雰囲気中において、前記半導体層の上方での陰極降下が実質的にない状態で行われることを特徴とする請求項 1 乃至請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記ケミカルドライエッチング工程は、電離されたガス雰囲気中において、前記半導体層の上方での陰極降下の絶対値が、10V 未満の状態で行われることを特徴とする請求項 1 乃至請求項 4 記載の半導体装置の製造方法。

【請求項 7】 前記酸化工程は、前記第 1 の溝を含む領域を選択酸化することにより、前記第 1 の溝の表面、および前記マスクと前記半導体基板との間に所定厚さの選択酸化膜を形成する選択酸化工程からなり、

前記不純物導入工程は、前記選択酸化膜に接する前記半導体層表面を含むように前記主表面側から前記第 2 導電型の不純物を導入して前記半導体層内に第 2 導電型の前記ベース層を形成し、前記ベース層内に前記主表面側から前記第 1 導電型の不純物を導入して第 1 導電型の前記ソース層を形成する工程からなり、

前記酸化膜除去工程は、前記選択酸化膜を除去して、前記第 1 の溝よりも深い所定深さを有する第 2 の溝を形成する選択酸化膜除去工程からなることを特徴とする請求項 1 乃至請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記選択酸化工程は、前記マスク形成工程で形成した前記マスクを用いて選択酸化することを中心とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記選択酸化工程は、前記第 1 の溝の表面、および前記マスクと前記半導体層との間に所定厚さの選択酸化膜を形成することを特徴とする請求項 7 乃至請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記選択酸化工程は、前記ケミカルドライエッチング工程により生じた前記第 1 の溝を含む領域を選択酸化することにより、前記第 1 の溝表面に所定厚さの第 1 の選択酸化膜を形成し、また前記マスクと前記半導体基板との間に前記入口部分から遠ざかる程薄くなる第 2 の選択酸化膜を形成する工程からなることを特徴とする請求項 7 乃至請求項 8 記載の半導体装置の製造方法。

【請求項 11】 前記酸化膜除去工程は、水溶液中で前記酸化膜の表面を水素で終端させながら前記酸化膜を除去して、前記所定深さを有する前記第 1 の溝を形成した後、前記水素で終端させた前記第 1 の溝表面を、酸素を含む気体中で酸化させて前記第 1 の溝の表面に保護用の酸化膜を形成する工程であることを特徴とする請求項 1 乃至請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記酸化膜除去工程は、非酸を含む水溶液中で前記酸化膜の表面に発生するダングリングボンドを水素で終端させながら、前記酸化膜を除去することを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 第 1 導電型の半導体基板の主表面上に、所定領域に開口部を有するマスクを形成するマスク形成工程と、

前記マスクの開口部を通して前記半導体基板をエッチングし、前記半導体基板に、前記開口部よりも広い入口部分を有する第 1 の溝を形成するエッチング工程と、

前記第 1 の溝を含む領域を選択酸化することにより、前記第 1 の溝の表面、および前記マスクと前記半導体基板との間に所定厚さの選択酸化膜を形成する選択酸化工程

と、

前記選択酸化膜の側面に接する前記半導体基板表面を含むように前記主表面側から第 2 導電型の不純物を拡散させて第 2 導電型のベース層を形成し、前記ベース層内に前記主表面側から第 1 導電型の不純物を拡散させて第 1 導電型のソース層を形成し、前記ベース層の側壁にチャネルを形成する不純物導入工程と、

水溶液中で前記選択酸化膜の表面を水素で終端させながら前記選択酸化膜を除去して、前記第 1 の溝よりも深い所定深さを有する第 2 の溝を形成した後、前記水素で終端させた前記第 2 の溝表面を、酸素を含む気体中で酸化させて前記第 2 の溝の表面に保護用の酸化膜を形成する選択酸化膜除去工程と、

前記第 2 の溝表面にゲート酸化膜を介してゲート電極を形成し、前記ソース層及び前記ベース層に電氣的に接触するソース電極を形成し、前記半導体基板の他主面側に電氣的に接触するドレイン電極とを形成する電極形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記電極形成工程は、前記第 2 の溝の内壁を酸化してゲート酸化膜を形成し、このゲート酸化膜上にゲート電極を形成するゲート電極形成工程と、

前記ソース層および前記ベース層とともに電氣的に接触するソース電極を形成し、前記半導体基板の他主面側に電氣的に接触するドレイン電極とを形成するソース・ドレイン電極形成工程とからなることを特徴とする請求項 1 乃至請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】 前記不純物導入工程は、前記選択酸化膜と自己整合的に前記主表面側から前記第 2 導電型の不純物を拡散させて前記第 1 の溝表面に前記ベース層を形成し、また前記選択酸化膜と自己整合的に前記主表面側から前記ベース層内に前記第 1 導電型の不純物を拡散させることで前記ソース層を形成することを特徴とする請求項 7 乃至請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 6】 前記酸化膜除去工程は、少なくとも前記酸化膜の表面には光が照射されない状態で前記酸化膜を除去する工程であることを特徴とする請求項 1 乃至請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 前記半導体層はシリコンからなり、さらに前記酸化膜除去工程は、前記酸化膜を除去して得られた第 2 の溝の側面のチャネル形成部の面方位が { 1 1 0 } 面、{ 1 0 0 } 面の何れか一つとなるように前記酸化膜を除去する工程であることを特徴とする請求項 1 乃至請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 8】 前記半導体層はシリコンからなり、さらに前記酸化膜除去工程は、前記酸化膜を除去して得られた第 2 の溝の側面のチャネル形成部の面方位が { 1 1 1 } 面となるように前記酸化膜を除去する工程であることを特徴とする請求項 1 乃至請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 9】 前記酸化膜除去工程は、PH が 4 より大きい溶液で前記酸化膜を除去する工程であることを特徴とする請求項 1 8 記載の半導体装置の製造方法。

【請求項 2 0】 第 1 導電型の半導体基板と、前記半導体基板の主表面側に形成され、ケミカルドライエッチングと該ケミカルドライエッチングの後に LOC OS 酸化を施すことにより形成されるとともに、所定の入口幅を有する入口、前記主表面と略平行な面を有する底面、及び前記入口と前記底面とを連続的に結ぶ側面、からなる溝部と、

前記溝部における前記側面を含み、前記主表面側から所定深さまで形成された第 2 導電型のベース層と、前記ベース層内における前記主表面側に形成され、前記溝部における前記側面にチャネル領域を形成させるソース層と、

前記溝部の前記側面及び前記底面を含む領域に、ゲート絶縁膜を介して形成されたゲート電極とを備えることを特徴とする半導体装置。

【請求項 2 1】 前記溝部は、前記主表面から前記入口幅の  $1/2$  以下の深さを有することを特徴とする請求項 2 0 記載の半導体装置。

【請求項 2 2】 前記半導体基板の面方位は、{ 1 0 0 } 面であることを特徴とする請求項 2 0 乃至請求項 2 1 記載の半導体装置。

【請求項 2 3】 前記半導体基板、前記ベース層及び前記ソース層はそれぞれシリコンからなり、更に前記溝部の前記側面における前記チャネル領域の面方位は、{ 1 1 1 } 面もしくは { 1 1 1 } 面に近い面であることを特徴とする請求項 2 0 乃至請求項 2 2 記載の半導体装置。

【請求項 2 4】 前記半導体基板、前記ベース層及び前記ソース層はそれぞれシリコンからなり、更に前記溝部の前記側面における前記チャネル領域の面方位は、{ 1 1 0 } 面、{ 1 1 0 } 面に近い面、{ 1 0 0 } 面、{ 1 0 0 } 面に近い面の何れか一つの面であることを特徴とする請求項 2 0 乃至請求項 2 1 記載の半導体装置。

【請求項 2 5】 前記溝部は、前記半導体基板をケミカルドライエッチングして初期溝を形成し、その後、前記初期溝を含む領域を酸化することにより前記初期溝の表面に所定厚さの酸化膜を形成し、前記酸化膜をエッチング除去することで形成されたものであることを特徴とする請求項 2 0 記載の半導体装置。

【請求項 2 6】 前記溝部はバスタブ形状であることを特徴とする請求項 2 0 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は、電力用半導体素子として用いられる半導体装置、すなわち縦型 MOS FET (Metal Oxide Semiconductor Field Effect Transistor) および IGBT (Insulated Gate Bipolar Transistor)

の製造方法に関し、その単体または電力用半導体素

子を組み込んだMOS I C等に採用して好適である。

【0002】

【従来の技術】縦型パワーMOSFETは、周波数特性が優れ、スイッチング速度が速く、かつ低電力で駆動できる等多くの特長を有することから、近年多くの産業分野で使用されている。たとえば、日経マグロウヒル社発行“日経エレクトロニクス”の1986年5月19日号、pp.165-188には、パワーMOSFETの開発の焦点が低耐圧品および高耐圧品に移行している旨記載されている。さらに、この文献には、耐圧100V以下のパワーMOSFETチップのオン抵抗は、10mΩレベルまで低くなってきていることが記載されており、この理由として、パワーMOSFETの製造にLSIの微細加工を利用したり、そのセルの形状を工夫したりすることにより、面積当たりのチャネル幅が大きくとれるようになったことにある旨述べられている。また、この文献には主流であるDMOS型（二重拡散型）セルを使用した縦型パワーMOSFETを中心にのべられている。その理由は、DMOS型はチャネル部分にシリコンウエハの平坦な主表面をそのまま使用することを特長とするプレーナプロセスにより作製されるため、歩留まりが良くコストが安いという製造上の利点があるからである。

【0003】一方、縦型パワーMOSFETの普及に伴って低損失化、低コスト化がさらに求められているが、微細加工やセルの形状の工夫によるオン抵抗低減は限界にきている。たとえば、特開昭63-266882号公報によると、DMOS型においては微細加工によりユニットセルの寸法を小さくしてもオン抵抗がそれ以上減少しない極小点があり、その主原因がオン抵抗の成分を成すJFET抵抗の増加であることが分かっている。またDMOS型において、特開平2-86136号公報に示されているように、現在の微細加工技術の下ではオン抵抗が極小点をとるユニットセルの寸法は15μm付近である。

【0004】この限界を突破するために種々の構造が提案されている。それらに共通した特徴は素子表面に溝を形成し、その溝の側面にチャネル部を形成した構造であり、この構造により前述のJFET抵抗を大幅に減少させることができる。さらに、この溝の側面にチャネル部を形成した構造においては、ユニットセル寸法を小さくしてもJFET抵抗の増大は無視することができるため、特開昭63-266882号公報に記載されたようなユニットセル寸法の縮小に対してオン抵抗が極小点をとるという限界が無く、15μmを切って微細加工の限界まで小さくすることができる。

【0005】このように、溝の側面にチャネル部を形成する構造の従来の製造方法として例えば特開昭61-19966号公報に開示されたようにRIEで溝を形成し、その溝の側面にチャネル部を形成するものがある。ここで、RIEはプロセスの制御性の優れた物理的なエッチング

である。すなわちRIEは、ガス雰囲気中に置かれた半導体装置の上下に電極を配置して前記電極間に高周波電力を印加すると、ガスが電子とイオンとに電離する。この電極間で電子とイオンの移動度の大きな違いによって半導体装置上部に陰極降下が生じる。そしてこの陰極降下によって電界を生じさせ、この電界によって前記イオン半導体装置方向に加速させ、被エッチング面に物理的に衝突させてそのエネルギーで半導体装置をエッチングするものである。そして、RIEは電離したガスを加速させるため、前記半導体装置上に絶対値にして10V～500V程度の陰極降下が発生するように前記電極間に高周波電力が印加される。RIEにおいては電離したガスをある一定方向に加速させるため、非常に優れた異方性を有しサイドエッチが起りにくいという特徴がある。しかしながら、RIEにおいては、物理的に電離されたガスを半導体装置に衝突させるため、エッチングされた面に格子欠陥が必然的に発生し、表面再結合が起ることによって移動度が下がり結果としてオン抵抗が増加してしまうという問題がある。

【0006】ここで格子欠陥が発生しにくい製造方法として、例えば国際公開WO93/03502号や特開昭62-12167号に開示されたようにウエットエッチングを用いた製造方法がある。図23はWO93/03502号に開示されたMOSFETの断面図であり、図24～図35は同公報におけるMOSFETの製造工程を示す断面図である。以下にその製造工程を簡単に説明する。

【0007】まず、図24に示されるように、n'型シリコンからなる半導体基板1の主表面にn'型のエピタキシャル層2を成長させたウエハ21を用意する。この半導体基板1はその不純物濃度が $10^{20}\text{cm}^{-3}$ 程度になっている。また、エピタキシャル層2はその厚さが7μm程度で、その不純物濃度は $10^{16}\text{cm}^{-3}$ 程度となっている。このウエハ21の主表面を熱酸化して厚さ60nm程度のフィールド酸化膜60を形成し、その後レジスト膜61を堆積して公知のフォトリソ工程にてセル形成予定位置の中央部に開口するパターンにレジスト膜61をパターンニングする。そして、このレジスト膜61をマスクとしてボロン(B<sup>+</sup>)をイオン注入する。

【0008】レジスト剥離後、熱拡散により図25に示すように接合深さが3μm程度のp型拡散層62を形成する。このp型拡散層62は最終的には後述するp型ベース層16の一部となり、ドレイン・ソース間に高電圧が印加されたとき、p型拡散層62の底辺部分で安定にブレークダウンを起こさせることにより、耐サージ性を向上させる目的を果たす。

【0009】次に、図25に示すように、ウエハ21の主表面に窒化シリコン膜63を約200nm堆積し、この窒化シリコン膜63をパターンニングして、ピッチ幅（ユニットセル15の寸法）aで開口する格子状の開口パターンを形成する。なお、この開口パターンは上述の

p型拡散層62がそのピッチ間隔の中央部に位置するようにマスク合わせしている。

【0010】次に、図26に示すように、窒化シリコン膜63をマスクとしてフィールド酸化膜60をエッチングし、ひきつづきn<sup>+</sup>型エピタキシャル層2を深さ1.5μm程度ウェットエッチングして溝64を形成する。次に、図27に示すように、窒化シリコン膜63をマスクとして溝64の部分を熱酸化する。これはLOCOS (Local Oxidation of Silicon)法として良く知られた酸化方法であり、この酸化により選択酸化膜すなわちLOCOS酸化膜65が形成され、同時にLOCOS酸化膜65によって喰われたn<sup>+</sup>型エピタキシャル層2の表面にU溝50が形成され、かつ溝50の形状が確定する。

【0011】次に、図28に示すように、LOCOS酸化膜65をマスクとして、薄いフィールド酸化膜60を透過させてp型ベース層16を形成するためのボロンをイオン注入する。このとき、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。次に、図29に示すように、接合深さ3μm程度まで熱拡散する。この熱拡散により、図25に示す工程において前もって形成したp型拡散層62と、図28に示す工程において注入されたボロンの拡散層が一体になり、一つのp型ベース層16を形成する。また、p型ベース層16の領域の両端面はU溝50の側壁の位置で自己整合的に規定される。

【0012】次に、図30に示すように、格子状のバターンでウエハ21表面に形成されているLOCOS酸化膜65により囲まれたp型ベース層16表面中央部に残されたバターンでパターニングされたレジスト膜66とLOCOS酸化膜65をともにマスクとして、薄いフィールド酸化膜60を透過させてn<sup>+</sup>型ソース層4を形成するためのリンをイオン注入する。この場合も図28に示す工程においてボロンをイオン注入した場合と同様に、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。

【0013】次に、図31に示すように、接合深さ0.5~1μm熱拡散し、n<sup>+</sup>型ソース層4を形成し、同時にチャンネル5も設定する。この熱拡散において、n<sup>+</sup>型ソース層4の領域のU溝50に接した端面は、U溝50の側壁の位置で自己整合的に規定される。以上、図28~図31の工程によりp型ベース層16の接合深さとその形状が確定する。

【0014】次に、図32に示すように、LOCOS酸化膜65をウェットエッチングにより除去してU溝50の内壁51を露出させ、その後熱酸化により厚さ60nm程度のゲート酸化膜8を形成する。次に、図33に示すように、ウエハ21の主表面に厚さ400nm程度のポリシリコン膜を堆積する。

【0015】次に、図34に示すように、パターニングされたレジスト膜68をマスクとして酸化膜67を透過してp<sup>+</sup>型ベースコンタクト層17を形成するためのボロンをイオン注入する。次に、図35に示すように、接合深さ0.5μm程度熱拡散し、p<sup>+</sup>型ベースコンタクト層17を形成する。

【0016】そして、図23(b)に示すように、ウエハ21の主表面にBP SG (BoronPhosphate Silicate Glass) からなる層間絶縁膜18を形成し、その一部にコンタクト穴開けを行いp<sup>+</sup>型ベースコンタクト層17とn<sup>+</sup>型ソース層4を露出させる。さらに、アルミニウム膜からなるソース電極19を形成し、前記コンタクト穴を介してp<sup>+</sup>型ベースコンタクト層17とn<sup>+</sup>型ソース層4とにオーミック接触させる。さらに、アルミニウム膜保護用としてプラズマCVD法等により窒化シリコン等よりなるパッシベーション膜(図示略)を形成し、また、ウエハ21の裏面にはTi/Ni/Auの3層膜からなるドレイン電極20を形成し、n<sup>+</sup>型半導体基板1にオーミック接触をとる。

【0017】

【発明が解決しようとする課題】しかしながら上記WO93/03502号公報や特開昭62-12167号公報に開示された製造方法は、等方性エッチングであるウェットエッチングを用いているため、所望の幅以上にエッチングする所謂サイドエッチが起こり、また液ムラによりウエハ面内で均一に安定した深さの溝を形成することができず、プロセスの制御性が悪いという問題がある。

【0018】また、ウエハ面内での溝の形状が不均一であるために、FETの電気特性のばらつきが大きいという問題がある。この溝形状の不均一はLOCOS酸化を行う前に行うエッチング工程で、溝形状がウエハ面内でばらつくためと考えられる。チャンネル溝を、LOCOS酸化のみで形成することも考えられるが、LOCOS酸化時間の増大によるチャンネル部への欠陥の導入が増え、また溝の側面の角度が30度程度になだらかになってしまい、セルの微細化ができなくなり、オン電圧の低下を望めなくなってしまう。また、LOCOS酸化のみでチャンネル溝を形成すると、Siが酸化すると体積が約2倍になるという性質上、チャンネル部に歪みが生じる可能性もある。従って、このLOCOS酸化を行う前に行うエッチング工程、すなわち初期溝形成工程は是非とも必要な工程である。

【0019】このような観点から、縦型MOSFETを、低オン電圧でかつウエハ面内での電気特性の均一性を維持したまま製造するためには、初期溝を形成後、チャンネル部に欠陥や汚染物質を導入せずLOCOS酸化し、なおかつ溝形状をウエハ面内で均一になるようにLOCOS酸化膜を除去する必要がある。しかしながら、上記公報においては、チャンネルの欠陥を少なくすることと、チャンネル溝の形状を正確に制御することを同時に

きないという問題があった。

【0020】本発明は、上記問題に鑑みたものであり、その目的はチャネル部を溝の側面にもつMOSFETの製造方法において、チャネル部の欠陥を少なくし、また溝形状を正確に制御できる製造方法及びその半導体装置を得ることである。

【0021】

【課題を解決するための手段】上記目的を達成するために構成された請求項1記載の半導体装置の製造方法は、半導体基板上に配置された第1導電型の半導体層の主表面上に、所定領域に開口部を有するマスクを形成するマスク形成工程と、前記マスクの開口部を通して前記半導体層をケミカルドライエッチングし、前記半導体層に、前記開口部よりも広い入口部分、前記主表面と略平行の底面、及び前記入口部分と前記底面とをつなぐ側面、を有する第1の溝を形成するケミカルドライエッチング工程と、前記第1の溝を含む領域を酸化することにより、前記第1の溝の表面に所定厚さの酸化膜を形成する酸化工程と、前記酸化膜に接する前記半導体層表面を含むように前記主表面側から第2導電型の不純物を導入して前記半導体層内に第2導電型のベース層を形成し、前記ベース層内に前記主表面側から第1導電型の不純物を導入して第1導電型のソース層を形成し、かかるソース層形成時に前記ベース層の側壁にチャネル領域を形成する不純物導入工程と、前記酸化膜を除去して、前記第1の溝よりも深い所定深さを有する第2の溝を形成する酸化膜除去工程と、少なくとも前記ソース層と前記半導体層との間の前記第2の溝表面にゲート絶縁膜を介してゲート電極を形成し、前記ソース層及び前記ベース層に電気的に接触するソース電極を形成し、前記半導体基板に電気的に接触するドレイン電極を形成する電極形成工程とを含むことを特徴としている。

【0022】また、上記目的を達成するために構成された請求項2記載の発明は、請求項1記載の発明における前記ケミカルドライエッチング工程が等方性エッチング工程であることを特徴としている。また、上記目的を達成するために構成された請求項3記載の発明は、請求項1乃至請求項2記載の発明における前記ケミカルドライエッチング工程は、四フッ化炭素と酸素とを含むガス系でエッチングする工程からなることを特徴としている。

【0023】また、上記目的を達成するために構成された請求項4記載の発明は、請求項1乃至請求項2記載の発明における前記ケミカルドライエッチング工程は、 $\text{CCl}_4$ 、 $\text{Cl}_2$ 、 $\text{SF}_6$ 、 $\text{CFCl}_3$ 、 $\text{CF}_2\text{Cl}_2$ 、 $\text{CF}_3\text{Cl}$ 、 $\text{CHF}_3$ 、 $\text{C}_2\text{Cl}_2\text{F}_2$ 、 $\text{F}_2$ 、 $\text{NF}_3$ 、 $\text{BCl}_3$ の内の何れか一つもしくは複数を含有するガス系でエッチングする工程からなることを特徴としている。

【0024】また、上記目的を達成するために構成された請求項5記載の発明は、請求項1乃至請求項4記載の発明における前記ケミカルドライエッチング工程は、電

離されたガス雰囲気中において、前記半導体層の上方面の陰極降下が実質的にない状態で行われることを特徴としている。また、上記目的を達成するために構成された請求項6記載の発明は、請求項1乃至請求項4記載の発明における前記ケミカルドライエッチング工程は、電離されたガス雰囲気中において、前記半導体層の上方面の陰極降下の絶対値が、10V未満の状態で行われることを特徴としている。

【0025】また、上記目的を達成するために構成された請求項7記載の発明は、請求項1乃至請求項6記載の発明における前記酸化工程は、前記第1の溝を含む領域を選択酸化することにより、前記第1の溝の表面、および前記マスクと前記半導体基板との間に所定厚さの選択酸化膜を形成する選択酸化工程からなり、前記不純物導入工程は、前記選択酸化膜に接する前記半導体層表面を含むように前記主表面側から前記第2導電型の不純物を導入して前記半導体層内に第2導電型の前記ベース層を形成し、前記ベース層内に前記主表面側から前記第1導電型の不純物を導入して第1導電型の前記ソース層を形成する工程からなり、前記酸化膜除去工程は、前記選択酸化膜を除去して、前記第1の溝よりも深い所定深さを有する第2の溝を形成する選択酸化膜除去工程からなることを特徴としている。

【0026】また、上記目的を達成するために構成された請求項8記載の発明は、請求項7記載の発明における前記選択酸化工程は、前記マスク形成工程で形成した前記マスクを用いて選択酸化することを特徴としている。また、上記目的を達成するために構成された請求項9記載の発明は、請求項7乃至請求項8記載の発明における前記選択酸化工程は、前記第1の溝の表面、および前記マスクと前記半導体層との間に所定厚さの選択酸化膜を形成することを特徴としている。

【0027】また、上記目的を達成するために構成された請求項10記載の発明は、請求項7乃至請求項8記載の発明における前記選択酸化工程は、前記ケミカルドライエッチング工程により生じた前記第1の溝を含む領域を選択酸化することにより、前記第1の溝表面に所定厚さの第1の選択酸化膜を形成し、また前記マスクと前記半導体基板との間に前記入口部分から遠ざかる程薄くなる第2の選択酸化膜を形成する工程からなることを特徴としている。

【0028】また、上記目的を達成するために構成された請求項11記載の発明は、請求項1乃至請求項10記載の発明における前記酸化膜除去工程は、水溶液中で前記酸化膜の表面を水素で終端させながら前記酸化膜を除去して、前記所定深さを有する第1の溝を形成した後、前記水素で終端させた前記第1の溝表面を、酸素を含む気体中で酸化させて前記第1の溝の表面に保護用の酸化膜を形成する工程であることを特徴としている。

【0029】また、上記目的を達成するために構成され

た請求項 12 記載の発明は、請求項 11 記載の発明における前記酸化膜除去工程は、弗酸を含む水溶液中で前記酸化膜の表面に発生するダングリングボンドを水素で終端させながら、前記酸化膜を除去することを特徴としている。また、上記目的を達成するために構成された請求項 13 記載の発明は、第 1 導電型の半導体基板の主表面上に、所定領域に開口部を有するマスクを形成するマスク形成工程と、前記マスクの開口部を通して前記半導体基板をエッチングし、前記半導体基板に、前記開口部よりも広い入口部分を有する第 1 の溝を形成するエッチング工程と、前記第 1 の溝を含む領域を選択酸化することにより、前記第 1 の溝の表面、および前記マスクと前記半導体基板との間に所定厚さの選択酸化膜を形成する選択酸化工程と、前記選択酸化膜の側面に接する前記半導体基板表面を含むように前記主表面側から第 2 導電型の不純物を拡散させて第 2 導電型のベース層を形成し、前記ベース層内に前記主表面側から第 1 導電型の不純物を拡散させて第 1 導電型のソース層を形成し、前記ベース層の側壁にチャンネルを形成する不純物導入工程と、水溶液中で前記選択酸化膜の表面を水素で終端させながら前記選択酸化膜を除去して、前記第 1 の溝よりも深い所定深さを有する第 2 の溝を形成した後、前記水素で終端させた前記第 2 の溝表面を、酸素を含む気体中で酸化させて前記第 2 の溝の表面に保護用の酸化膜を形成する選択酸化膜除去工程と、前記第 2 の溝表面にゲート酸化膜を介してゲート電極を形成し、前記ソース層及び前記ベース層に電氣的に接触するソース電極を形成し、前記半導体基板の他主面側に電氣的に接触するドレイン電極とを形成する電極形成工程とを含むことを特徴としている。

【0030】また、上記目的を達成するために構成された請求項 14 記載の発明は、請求項 1 乃至請求項 13 記載の発明における前記電極形成工程は、前記第 2 の溝の内壁を酸化してゲート酸化膜を形成し、このゲート酸化膜上にゲート電極を形成するゲート電極形成工程と、前記ソース層および前記ベース層とともに電氣的に接触するソース電極を形成し、前記半導体基板の他主面側に電氣的に接触するドレイン電極とを形成するソース・ドレイン電極形成工程とからなることを特徴としている。

【0031】また、上記目的を達成するために構成された請求項 15 記載の発明は、請求項 7 乃至請求項 14 記載の発明における前記不純物導入工程は、前記選択酸化膜と自己整合的に前記主表面側から前記第 2 導電型の不純物を拡散させて前記第 1 の溝表面に前記ベース層を形成し、また前記選択酸化膜と自己整合的に前記主表面側から前記ベース層内に前記第 1 導電型の不純物を拡散させることで前記ソース層を形成することを特徴としている。

【0032】また、上記目的を達成するために構成された請求項 16 記載の発明は、請求項 1 乃至請求項 15 記載の発明における前記酸化膜除去工程は、少なくとも前

記酸化膜の表面には光が照射されない状態で前記酸化膜を除去する工程であることを特徴としている。また、上記目的を達成するために構成された請求項 17 記載の発明は、請求項 1 乃至請求項 16 記載の発明における前記半導体層はシリコンからなり、さらに前記酸化膜除去工程は、前記酸化膜を除去して得られた第 2 の溝の側面のチャンネル形成部の面方位が {110} 面、{100} 面の何れか一つとなるように前記酸化膜を除去する工程であることを特徴としている。

10 【0033】また、上記目的を達成するために構成された請求項 18 記載の発明は、請求項 1 乃至請求項 16 記載の発明における前記半導体層はシリコンからなり、さらに前記酸化膜除去工程は、前記酸化膜を除去して得られた第 2 の溝の側面のチャンネル形成部の面方位が {111} 面となるように前記酸化膜を除去する工程であることを特徴としている。

20 【0034】また、上記目的を達成するために構成された請求項 19 記載の発明は、請求項 18 記載の発明における前記酸化膜除去工程は、PH が 4 より大きい溶液で前記酸化膜を除去する工程であることを特徴としている。上記目的を達成するために構成された請求項 20 記載の半導体装置は、第 1 導電型の半導体基板と、前記半導体基板の主表面側に形成され、ケミカルドライエッチングと該ケミカルドライエッチングの後に LOCOS 酸化を施すことにより形成されるとともに、所定の入口幅を有する入口、前記主表面と略平行な面を有する底面、及び前記入口と前記底面とを連続的に結ぶ側面、からなる溝部と、前記溝部における前記側面を含み、前記主表面側から所定深さまで形成された第 2 導電型のベース層と、前記ベース層内における前記主表面側に形成され、前記溝部における前記側面にチャンネル領域を形成させるソース層と、前記溝部の前記側面及び前記底面を含む領域に、ゲート絶縁膜を介して形成されたゲート電極とを備えることを特徴としている。

30 【0035】また、上記目的を達成するために構成された請求項 21 記載の発明は、請求項 20 記載の半導体装置の前記溝部は、前記主表面から前記入口幅の 1/2 以下の深さを有することを特徴としている。また、上記目的を達成するために構成された請求項 22 記載の発明は、請求項 20 乃至請求項 21 記載の半導体装置の前記半導体基板の面方位は、{100} 面であることを特徴としている。

40 【0036】また、上記目的を達成するために構成された請求項 23 記載の発明は、請求項 20 乃至請求項 22 記載の半導体装置の前記半導体基板、前記ベース層及び前記ソース層はそれぞれシリコンからなり、更に前記溝部の前記側面における前記チャンネル領域の面方位は、

{111} 面もしくは {111} 面に近い面であることを特徴としている。

50 【0037】また、上記目的を達成するために構成され

た請求項 24 記載の発明は、請求項 20 乃至請求項 21 記載の半導体装置の前記半導体基板、前記ベース層及び前記ソース層はそれぞれシリコンからなり、更に前記溝部の前記側面における前記チャネル領域の面方位は、

{110} 面、{110} 面に近い面、{100} 面、{100} 面に近い面の何れか一つの面であることを特徴としている。

【0038】また、上記目的を達成するために構成された請求項 25 記載の発明は、請求項 20 記載の半導体装置の前記溝部は、前記半導体基板をケミカルドライエッチングして初期溝を形成し、その後、前記初期溝を含む領域を酸化することにより前記初期溝の表面に所定厚さの酸化膜を形成し、前記酸化膜をエッチング除去することで形成されたものであることを特徴としている。

【0039】上記目的を達成するために構成された請求項 26 記載の発明は、請求項 20 記載の半導体装置の前記溝部はバスタブ形状であることを特徴としている。

【0040】

【作用および発明の効果】上記のように構成された請求項 1 の発明によれば、選択酸化に先立ち低濃度の半導体層の表面の所定領域をケミカルドライエッチング法により除去する。ケミカルドライエッチング法はドライエッチング法の一つでありプロセスの制御性が高く、ウエハ面内で均一なエッチングがおこなえ、再現性も高い。またケミカルドライエッチング法はドライエッチングプロセスのなかでは比較的被エッチング面に与えるダメージが小さい。そして、このケミカルドライエッチングの後に第 1 の溝表面を酸化する。ここで酸化をする場合、酸化が開始される第 1 の溝の表面により、結果として得られる半導体層の酸化膜との境界面の状態が異なるものとなる。即ち、RIE 等の物理的エッチングでエッチングされた面を酸化させても、格子欠陥が生じたまま酸化が進行し、結果として得られる半導体層の表面は格子欠陥が残ってしまう。しかしながら、本発明においては第 1 の溝表面をケミカルドライエッチング法を用いることにより、高い欠陥の少ない表面を有する第 1 の溝が形成され、その表面を酸化させるため、酸化が開始される時から均一に酸化され、結果として得られる第 2 の溝の表面も欠陥の少ない表面を得ることができる。そして、この第 2 の溝の表面をチャネル領域として使用するため、低いオン抵抗を得ることができる。また、チャネル領域用の溝としての第 2 の溝を形成するために、ケミカルドライエッチングと酸化という 2 段階の工程を踏んでいるため、所望の幅の第 2 の溝を得たい場合は、酸化させる幅を制御すれば良いので、溝形状も正確に制御することができる。

【0041】また、請求項 2 記載の発明によれば、ケミカルドライエッチング工程が等方性であるので、第 1 の溝に角がなくなり、このため酸化により形成される第 2 の溝にも角がなくなる。このためドレイン・ソース間耐

圧が向上する。また、請求項 3 記載の発明によれば、ケミカルドライエッチング工程が四フッ化炭素と酸素をガス中に含むため、四フッ化炭素と酸素の比によりプロセスを正確に再現性良く行うことができる。

【0042】また、請求項 4 記載の発明によれば、ケミカルドライエッチング工程は、 $\text{CCl}_4$ 、 $\text{Cl}_2$ 、 $\text{SF}_6$ 、 $\text{CFCl}_3$ 、 $\text{CF}_3\text{Cl}_2$ 、 $\text{CF}_3\text{Cl}$ 、 $\text{CHF}_3$ 、 $\text{C}_2\text{Cl}_2\text{F}_2$ 、 $\text{F}_2$ 、 $\text{NF}_3$ 、 $\text{BCl}_3$  の内の何れか一つもしくは複数を含むガス系でエッチングするため、効率良くエッチングすることができる。また、請求項 5 記載の発明によれば、ケミカルドライエッチング工程において、半導体層の上方に実質的に陰極降下がないため、電離されたガスが、半導体層表面に欠陥を与えてしまうほどの速度で衝突することがない。このため、形成される第 1 の溝の表面を欠陥の非常に少ない表面とすることができる。

【0043】また、請求項 6 記載の発明によれば、ケミカルドライエッチング工程は、電離されたガス雰囲気中において、前記半導体層の上方での陰極降下の絶対値が、10V 未満の状態で行われるため、電離されたガスが、半導体層表面に欠陥を与えてしまうほどの速度で衝突することがない。このため、形成される第 1 の溝の表面を欠陥の非常に少ない表面とすることができる。また、上記構成の請求項 7 記載の発明によれば、酸化工程は第 1 の溝を選択酸化する選択酸化工程であるため、第 1 の溝の深さを深くすることができる。

【0044】上記構成の請求項 8 記載の発明によれば、選択酸化工程のマスクをケミカルドライエッチング工程で用いたマスクをそのまま使用するため、新たにマスクを形成する必要がなく、また位置あわせも不要となる。上記構成の請求項 9、請求項 10 記載の発明によれば、所定厚さの選択酸化膜を形成することができる。

【0045】また上記のように構成された請求項 11 記載の発明によれば、酸化工程の後に酸化膜を除去してチャネル領域を露出させる工程を、水溶液中で半導体層の表面のダングリングボンドを水素で終端させながら行う。これにより、反応活性の高いダングリングボンドが汚染物質と反応する前に水素と反応して安定状態となり、汚染物質と半導体層との反応を防ぐことができる。その後酸素中に暴露するとさらに安定な酸化膜が形成され第 2 の溝表面を保護するため、その後のチャネル領域の汚染を避けることができるため、高いチャネル移動度が得られ、低オン電圧を得ることができる。

【0046】また上記のように構成された請求項 12 記載の発明によれば、酸化膜の除去を弗酸を含む水溶液中でおこなうため、除去したい酸化膜と残したい半導体層との選択比が非常に大きくとれるため、半導体層の表面を傷つけることなく酸化膜を除去することができる。また上記のように構成された請求項 13 記載の発明によれば、酸化工程の後に酸化膜を除去してチャネル領域を露



出させる工程を、水溶液中で半導体層の表面のダングリングボンドを水素で終端させながら行う。これにより、反応活性の高いダングリングボンドが汚染物質と反応する前に水素と反応して安定状態となり、汚染物質と半導体層との反応を防ぐことができる。その後酸素中に暴露するとさらに安定な酸化膜が形成され第2の溝表面を保護するため、その後のチャネル領域の汚染を避けることができるため、高いチャネル移動度を得られ、低オン電圧を得ることができる。

【0047】請求項15に記載の発明によれば、選択酸化膜と自己整合的にベース層、ソース層を形成するため、位置合わせが不要となる。従って正確な位置にベース層、ソース層を形成でき、素子の低面積化が可能となる。さらに、上記のように構成された請求項16記載の発明によれば、酸化膜を除去する間は酸化膜の表面に光を照射しないようにすることにより、酸化膜を通してチャネル領域となる半導体層に光が照射されるということがなくなる。このため、チャネル領域付近の第1導電型のソース層と第2導電型のベース層との電位がほぼ等しくなり、局所的にエッチングが進行するのが防止でき、均一なエッチングを行うことができる。この結果、平坦なチャネル領域が得られ、高い移動度を得ることができる。

【0048】また、上記のように構成された請求項17記載の発明によれば、選択酸化膜を除去して得られた第2の溝の側面の面方位を{110}面、{100}面としている。これにより、シリコンにおける原子的に平坦な側面が得られる。このために高いチャネル移動度を得ることができる。また、上記のように構成された請求項18記載の発明によれば、選択酸化膜を除去して得られた第2の溝の側面の面方位を{111}面としている。側面のシリコン原子は水素1個で終端されるようになり、原子的に平坦な側面が得られる。このために高いチャネル移動度を得ることができる。

【0049】また、上記のように構成された請求項19記載の発明によれば、酸化膜を除去する工程をPHを4以上の水溶液中で行うため、第2の溝の側面のシリコン原子は水素原子1個で終端される率がさらに高まり、原子的に平坦な{111}面が得られ、高いチャネル移動度を得ることができる。また、上記のように構成された請求項20記載の半導体装置によれば、溝部がケミカルドライエッチングと該ケミカルドライエッチングの後にLOCOS酸化を施すことにより形成されるため、チャネル領域となる部分の欠陥が非常に少なくなり、チャネル領域の表面が非常に滑らかになるため、チャネル領域におけるキャリアの移動度の低下を防止することができる。これにより、オン抵抗の非常に小さい半導体装置を得ることができる。

【0050】また、請求項21記載の発明によれば、前記溝部は、前記主表面から前記入口幅の1/2以下の深

さを有することにより、ゲート絶縁膜とチャネル領域での界面で応力がかかりにくくなる。これにより、チャネル領域で格子欠陥が発生しにくくなり、オン抵抗が低下することを防止できる。さらに請求項23記載の発明によれば、チャネル領域の面方位が{111}面もしくは{111}面に近い面であるため、フォノン散乱が少なくなりオン抵抗が低下することを防止できる。

【0051】また請求項24記載の発明によれば、チャネル領域の面方位が{110}面、{110}面に近い面、{100}面、{100}面に近い面の何れか一つの面であるためフォノン散乱が少なくなりオン抵抗が低下することを防止できる。さらに請求項25記載の発明によれば、チャネル領域で格子欠陥が発生しにくくなり、オン抵抗が低下することを防止できる。

【0052】また、請求項26記載の発明によっても、チャネル領域で格子欠陥が発生しにくくなり、オン抵抗が低下することを防止できる。

【0053】

【実施例】

(第1実施例) 以下、図面を参照して本発明の一実施例を説明する。図1(a)は本発明の第1実施例による四角形ユニットセルからなる縦型パワーMOSFETの平面図であり、同図(b)は同図(a)におけるA-A断面図である。図2~図22は同じく縦型パワーMOSFETの製造における各段階での説明図である。また、図4はp型ベース層の中央部形成のためにボロニオン注入をしたウエハの断面図、図5はLOCOS酸化のために窒化シリコン膜をユニットセル寸法aの間隔でパターンニングしたウエハの断面図、図8はLOCOS酸化膜が形成されたウエハの断面図、図9はLOCOS酸化膜をマスクとしてp型ベース層形成のためにボロニオン注入をしたウエハの断面図、図10は熱拡散によりp型ベース層を形成したウエハの断面図、図11はLOCOS酸化膜をマスクとしてn+型ソース層形成のためにリンイオン注入をしたウエハの断面図、図12は熱拡散によりn+型ソース層を形成したウエハの断面図、図18はLOCOS酸化膜を除去した後に熱酸化によりゲート酸化膜を形成したウエハの断面図、図19はゲート酸化膜の上にゲート電極が形成されたウエハの断面図、図21はp+型ベースコンタクト層形成のためにボロニオン注入をしたウエハの断面図、図22は熱拡散によりp+型ベースコンタクト層を形成したウエハの断面図、そして、図1(b)が層間絶縁膜、ソース電極およびドレイン電極を形成したウエハの完成断面図である。

【0054】この実施例の縦型パワーMOSFETは、その要部、すなわちユニットセル部分を図1に示すような構造として、このユニットセル15がピッチ幅(ユニットセル寸法)aで平面上縦横に規則正しく多数配置された構造となっている。図1において、ウエハ21は不純物濃度が $10^{19} \text{ cm}^{-3}$ 程度で厚さ100~300 $\mu\text{m}$

の $n^+$ 型シリコンからなる半導体基板1上に不純物密度が $10^{16} \text{ cm}^{-3}$ 程度の厚さ $7 \mu\text{m}$ 前後の $n^-$ 型エピタキシャル層2が構成されたものであり、このウエハ21の主表面にユニットセル15が構成される。ウエハ21の主表面に $12 \mu\text{m}$ 程度のユニットセル寸法 $a$ でU溝50を形成するために、厚さ $3 \mu\text{m}$ 程度のLOCOS酸化膜を形成し、この酸化膜をマスクとして自己整合的な二重拡散により接合深さが $3 \mu\text{m}$ 程度の $p$ 型ベース層16と、接合深さが $1 \mu\text{m}$ 程度の $n^+$ 型ソース層4とが形成されており、それによりU溝50の側壁部51にチャネル5が設定される。なお、 $p$ 型ベース層16の接合深さはU溝50底辺のエッジ部12でブレークダウンによる破壊が生じない深さに設定されている。また、 $p$ 型ベース層16の中央部の接合深さが周囲よりも深くなるように、あらかじめ $p$ 型ベース層16の中央部にボロンが拡散されており、ドレイン・ソース間に高電圧が印加されたときに、 $p$ 型ベース層16の底面の中央部でブレークダウンが起こるように設定されている。また、二重拡散後にこの拡散マスク及びU溝50形成用として使用したLOCOS酸化膜は除去されて、U溝50の内壁には厚さが $60 \text{ nm}$ 程度のゲート酸化膜8が形成され、さらに、その上に厚さが $400 \text{ nm}$ 程度のポリシリコンからなるゲート電極9、厚さが $1 \mu\text{m}$ 程度のBPSGからなる層間絶縁膜18が形成されている。さらに、 $p$ 型ベース層16の中央部表面に接合深さが $0.5 \mu\text{m}$ 程度の $p^+$ 型ベースコンタクト層17が形成され、層間絶縁膜18の上に形成されたソース電極19と $n^+$ 型ソース層4および $p^+$ 型ベースコンタクト層17がコンタクト穴を介してオーミック接触している。また、半導体基板1の裏面にオーミック接触するようにドレイン電極20が形成されている。

【0055】次に本実施例の製造方法を述べる。まず、図2、図3に示されるように、 $n^+$ 型シリコンからなる面方位が(100)である半導体基板1の主表面に $n^-$ 型のエピタキシャル層2を成長させたウエハ21を用意する。この半導体基板1(半導体基板に相当)はその不純物濃度が $10^{16} \text{ cm}^{-3}$ 程度になっている。また、エピタキシャル層2(半導体層に相当)はその厚さが $7 \mu\text{m}$ 程度で、その不純物濃度は $10^{16} \text{ cm}^{-3}$ 程度となっている。次に、図4に示される様に、このウエハ21の主表面を熱酸化して厚さ $60 \text{ nm}$ 程度のフィールド酸化膜60を形成し、その後レジスト膜61を堆積して公知のフォトリソ工程にてセル形成予定位置の中央部に開口するパターンにレジスト膜61をパターンニングする。そして、このレジスト膜61をマスクとしてボロン( $B^+$ )をイオン注入する。

【0056】レジスト剥離後、熱拡散により図5に示すように接合深さが $3 \mu\text{m}$ 程度の $p$ 型拡散層62を形成する。この $p$ 型拡散層62は最終的には後述する $p$ 型ベース層16の一部となり、ドレイン・ソース間に高電圧が

印加されたとき、 $p$ 型拡散層62の底辺部分で安定にブレークダウンを起こさせることにより、耐サージ性を向上させる目的を果たす。

【0057】次に、図5に示すように、ウエハ21の主表面に窒化シリコン膜63を約 $200 \text{ nm}$ 堆積し、この窒化シリコン膜63(マスクに相当)を図6に示すように $\langle 011 \rangle$ 方向に垂直及び平行になるようにパターンニングして、ピッチ幅(ユニットセル15の寸法) $a$ で開口する格子状の開口パターンを形成する(マスク形成工程に相当)。なお、この開口パターンは上述の $p$ 型拡散層62がそのピッチ間隔の中央部に位置するようにマスク合わせしている。

【0058】次に、窒化シリコン膜63をマスクとしてフィールド酸化膜60をエッチングし、ひきつづき図7に示すように、四フッ化炭素と酸素ガスを含む放電室702でプラズマを発生させて、化学的な活性種を作り、この活性種を反応室703へ輸送し、反応室703で $n^-$ 型エピタキシャル層2を等方的にケミカルドライエッチングして溝64を形成する(ケミカルドライエッチング工程に相当)。

【0059】次に、図8に示すように、窒化シリコン膜63をマスクとして溝64の部分を選択酸化する(酸化工程、選択酸化工程に相当)。これはLOCOS(Local Oxidation of Silicon)法として良く知られた酸化方法であり、この酸化によりLOCOS酸化膜65(酸化膜、選択酸化膜に相当)が形成され、同時にLOCOS酸化膜65によって喰われた $n^-$ 型エピタキシャル層2の表面にU溝50(第2の溝に相当)が形成され、かつU溝50の形状が確定する。

【0060】この時、U溝50の側面のチャネル形成部の面方位が(111)に近い面となるようにケミカルドライエッチングの条件とLOCOS酸化の条件を選ぶ。このようにしてLOCOS酸化により形成されたU溝50の内壁表面は平坦で欠陥が少なく、その表面は図2に示されるウエハ21の初期の主表面と同程度に表面状態が良い。

【0061】次に、図9に示すように、LOCOS酸化膜65をマスクとして、薄いフィールド酸化膜60を透過させて $p$ 型ベース層16を形成するためのボロンをイオン注入する。このとき、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。次に、図10に示すように、接合深さ $3 \mu\text{m}$ 程度まで熱拡散する。この熱拡散により、図5に示す工程において前もって形成した $p$ 型拡散層62と、図9に示す工程において注入されたボロンの拡散層が一体になり、一つの $p$ 型ベース層16(ベース層に相当)を形成する。また、 $p$ 型ベース層16の領域の両端面はU溝50の側壁の位置で自己整合的に規定される。

【0062】次に、図11に示すように、格子状のパタ

ーンでウエハ 21 表面に形成されている LOCOS 酸化膜 65 により囲まれた p 型ベース層 16 表面中央部に残されたパターンでパターニングされたレジスト膜 66 と LOCOS 酸化膜 65 を共にマスクとして、薄いフィールド酸化膜 60 を透過させて n<sup>+</sup> 型ソース層 4 (ソース層に相当) を形成するためのリンをイオン注入する。この場合も図 9 に示す工程においてボロンをイオン注入した場合と同様に、LOCOS 酸化膜 65 とフィールド酸化膜 60 の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。

【0063】次に、図 12 に示すように、接合深さ 0.5 ~ 1  $\mu$ m 熱拡散し、n<sup>+</sup> 型ソース層 4 を形成し、同時にチャネル 5 (チャネル領域に相当) も設定する。この熱拡散において、n<sup>+</sup> 型ソース層 4 の領域の U 溝 50 に接した端面は、U 溝 50 の側壁の位置で自己整合的に規定される (不純物導入工程に相当)。以上、図 9 ~ 図 12 の工程により p 型ベース層 16 の接合深さとその形状が確定する。この p 型ベース層 16 の形状において重要なことは、p 型ベース層 16 の側面の位置が U 溝 50 の側面により規定され、自己整合されて熱拡散するため、U 溝 50 に対して p 型ベース層 16 の形状は完全に左右対称になる。

【0064】次に、図 13 に示すように、LOCOS 酸化膜 65 を弗酸を含む水溶液 700 中で、フッ化アンモニウムにより PH が 5 程度に調整された状態で、シリコンの表面を水素で終端させながら酸化膜を除去して U 溝 50 の内壁 51 を露出させる。この除去工程は選択酸化膜の形成されている面に光が当たらないように遮光布で遮光して行う (酸化膜除去工程、選択酸化膜除去工程に相当)。

【0065】この後、水溶液中から取りだし、清浄な空气中で乾燥させる。次に、図 15 に示すように、チャネルが形成される予定の p 型ベース層 16 の U 溝の側面 5 に (111) 面が形成されるまで酸化膜を形成する。この熱酸化工程により、チャネルが形成される予定面の原子オーダーでの平坦度が高くなる。この熱酸化工程は、図 14 に示すように、酸素雰囲気中に保たれ、約 1000 °C に保持されている酸化炉 601 にウエハ 21 を徐々に挿入することにより行う。このようにすると、酸化の初期は比較的低い温度で行われるため、p 型ベース領域 16、n<sup>+</sup> 型ソース領域 4 の不純物が、酸化工程中にウエハ外部に飛散することを抑えられる。次に、図 16 に示すように、この酸化膜 600 を除去する。この酸化膜 600 の除去も選択酸化膜の除去と同様に弗酸を含む水溶液中で、フッ化アンモニウムにより PH が 5 程度に調整された状態で、露出されたシリコンの表面を水素で終端させながら行う。このような方法で形成された U 溝 50 の内壁 51 は、平坦度が高く、また欠陥も少ない良好なシリコン表面である。

【0066】つづいて図 18 に示すように、U 溝 50 の

側面及び底面に熱酸化により厚さ 60 nm 程度のゲート酸化膜 8 を形成する。この酸化工程は前述したのと同様に、酸素雰囲気中に保たれ、約 1000 °C に保持されている酸化炉 601 にウエハ 21 を徐々に挿入する。このようにすると、酸化の初期は比較的低い温度で行われるため、p 型ベース領域 16、n<sup>+</sup> 型ソース領域 4 の不純物が、酸化工程中にウエハ外部に飛散することを抑えられる。ゲート酸化膜 8 の膜質や、厚さの均一性、チャネル 5 の界面の界面準位密度、キャリア移動度は従来の DMOS と同程度に良好である。

【0067】次に、図 19 に示すように、ウエハ 21 の主表面に厚さ 400 nm 程度のポリシリコン膜を堆積し、隣接した二つの U 溝 50 の上端の距離 b よりも 2  $\beta$  だけ短い距離 c だけ離間するようにパターニングしてゲート電極 9 を形成する。次にゲート電極 9 の端部においてゲート酸化膜 8 が厚くなるよう酸化する。この時図 20 に示すようにゲート酸化膜が、ゲート端部で厚くなる部分の長さを x とすると、 $\beta > x$  となるように  $\beta$  を設定する。

【0068】以上、図 9 ~ 図 19 に示す工程は本実施例において最も重要な製造工程の部分であり、LOCOS 酸化膜 65 を自己整合的な二重拡散のマスクとして使用し、p 型ベース層 16、n<sup>+</sup> 型ソース層 4 及びチャネル 5 を形成し、次に LOCOS 酸化膜 65 を除去した後、ゲート酸化膜 8 (ゲート絶縁膜に相当)、ゲート電極 9 (ゲート電極に相当) を形成する (ゲート電極形成工程に相当)。

【0069】次に、図 21 に示すように、パターニングされたレジスト膜 68 をマスクとして酸化膜 67 を透過して p<sup>+</sup> 型ベースコンタクト層 17 を形成するためのボロンをイオン注入する。次に、図 22 に示すように、接合深さ 0.5  $\mu$ m 程度熱拡散し、p<sup>+</sup> 型ベースコンタクト層 17 を形成する。

【0070】そして、図 1 (b) に示すように、ウエハ 21 の主表面に BPSG からなる層間絶縁膜 18 を形成し、その一部にコンタクト穴開けを行い p<sup>+</sup> 型ベースコンタクト層 17 と n<sup>+</sup> 型ソース層 4 を露出させる。さらに、アルミニウム膜からなるソース電極 19 (ソース電極に相当) を形成し、前記コンタクト穴を介して p<sup>+</sup> 型ベースコンタクト層 17 と n<sup>+</sup> 型ソース層 4 とにオーミック接触させる。さらに、アルミニウム膜保護用としてプラズマ CVD 法等により窒化シリコン等よりなるパッシベーション膜 (図示略) を形成し、また、ウエハ 21 の裏面には Ti / Ni / Au の 3 層膜からなるドレイン電極 20 (ドレイン電極に相当) を形成し、n<sup>+</sup> 型半導体基板 1 にオーミック接触をとる (ソース・ドレイン電極形成工程、電極形成工程に相当)。

【0071】上記のように構成された本実施例の半導体装置の製造方法によれば、選択酸化に先立ち低濃度の半導体層の表面の所定領域をケミカルドライエッチング法

により除去する。ケミカルドライエッチング法はドライエッチング法の一つでありプロセスの制御性が高く、ウエハ面内で均一なエッチングがおこなえ、再現性も高い。またケミカルドライエッチング法はドライエッチングプロセスのなかでは比較的被エッチング面に与えるダメージが小さい。そして、このケミカルドライエッチングの後に溝 64（第 1 の溝）表面を酸化する。ここで酸化をする場合、酸化が開始される溝 64 の表面により、結果として得られる  $n^-$  型エピタキシャル層 2（半導体層）の酸化膜との境界面の状態が異なるものとなる。即ち、RIE 等の物理的エッチングでエッチングされた面を酸化させても、格子欠陥が生じたまま酸化が進行し、結果として得られる  $n^-$  型エピタキシャル層 2 の表面は格子欠陥が残ってしまう。しかしながら、本発明においては溝 64 表面をケミカルドライエッチング法を用いることにより、高い欠陥の少ない表面を有する溝 64 が形成され、その表面を酸化させるため、酸化が開始される時から均一に酸化され、結果として得られる U 溝 50 の表面も欠陥の少ない表面を得ることができる。そして、この U 溝 50 の表面をチャンネル領域として使用するた

め、低いオン抵抗を得ることができる。また、チャンネル領域用の溝としての U 溝 50 を形成するために、ケミカルドライエッチングと酸化という 2 段階の工程を踏んでいるため、所望の幅の U 溝 50 を得たい場合は、酸化させる幅を制御すれば良いので、溝形状も正確に制御することができる。

【0072】また、本実施例によれば、ケミカルドライエッチング工程は等方性であるので、溝 64 に角がなくなり、このため酸化により形成される U 溝 50 にも角がなくなる。このためドレイン・ソース間耐圧が向上する。また、溝 64 の  $n^-$  型エピタキシャル層 2 表面付近の角度が 90 度に近くなり、選択酸化後に形成される U 溝 50 の側面の傾斜角を急角度にすることができセルサイズを縮小して低オン電圧を得ることができる。

【0073】また、ケミカルドライエッチング工程が四フッ化炭素と酸素をガス中に含むため、四フッ化炭素と酸素の比によりプロセスを正確に再現性良く行うことができる。また、本実施例によれば、ケミカルドライエッチング工程において、半導体基板 1 もしくは  $n^-$  型エピタキシャル層 2 の上方に実質的に陰極降下ため、電離されたガスが、 $n^-$  型エピタキシャル層 2 表面に欠陥を与えてしまうほどの速度で衝突することがない。このため、形成される溝 64 の表面に欠陥の非常に少ない表面とすることができる。

【0074】さらに、本実施例によれば、酸化工程は溝 64 を選択酸化する選択酸化工程であるため、溝 64 の深さを深くすることができる。そして、選択酸化工程のマスクをケミカルドライエッチング工程で用いたマスクをそのまま使用するため、新たにマスクを形成する必要がなく、また位置あわせも不要となる。また、酸化工程

の後に酸化膜を除去してチャンネル領域を露出させる工程を、水溶液中で  $n^-$  型エピタキシャル層 2 の表面のダングリングボンドを水素で終端させながら行う。これにより、反応活性の高いダングリングボンドが汚染物質と反応する前に水素と反応して安定状態となり、汚染物質と  $n^-$  型エピタキシャル層 2 との反応を防ぐことができる。その後酸素中に暴露するとさらに安定な酸化膜が形成され U 溝 50 表面を保護するため、その後のチャンネル領域の汚染を避けることができるため、高いチャンネル移動度を得られ、低オン電圧を得ることができる。

【0075】また、酸化膜の除去を弗酸を含む水溶液中でおこなうため、除去したい酸化膜と残したい  $n^-$  型エピタキシャル層 2 との選択比が非常に大きくとれるため、 $n^-$  型エピタキシャル層 2 の表面を傷つけることなく酸化膜を除去することができる。さらに、選択酸化膜と自己整合的にベース層、ソース層を形成するため、位置合わせが不要となる。従って正確な位置にベース層、ソース層を形成でき、素子の低面積化が可能となる。

【0076】また、酸化膜を除去する間は酸化膜の表面に光を照射しないようにすることにより、酸化膜を通してチャンネル領域となる半導体層に光が照射されるということがなくなる。このため、チャンネル領域付近の  $n^-$  型ソース層 4 と  $p$  型ベース層 16 との電位がほぼ等しくなり、局所的にエッチングが進行するのが防止できて、均一なエッチングを行うことができる。この結果、平坦なチャンネル領域が得られ、高い移動度を得ることができる。

【0077】そして、選択酸化膜を除去して得られた U 溝 50 の側面の面方位を {111} 面としている。側面のシリコン原子は水素 1 個で終端されるようになり、原子的に平坦な側面が得られる。このために高いチャンネル移動度を得ることができる。また、酸化膜を除去する工程を PH を 4 以上の水溶液中で行うため、U 溝 50 の側面のシリコン原子は水素原子 1 個で終端される率がさらに高まり、原子的に平坦な {111} 面が得られ、高いチャンネル移動度を得ることができる。

【0078】以上説明したように、従来 RIE 等の物理的エッチングやウエットエッチングの後に LOCOS 酸化することにより、初期溝（第 1 の溝、即ち溝 64）形成時に導入された格子欠陥は LOCOS 酸化及びその LOCOS 酸化膜の除去により除去されるものと考えられていた。しかし本発明者らが実際に試作してみた所、初期溝導入時に導入された格子欠陥は除去されずにチャンネル領域の表面に残ってしまうことが確認された。そして結果としてドレイン・ソース間のリーク電流の原因となることが分かった。この結果より、初期溝を形成する際、始めから無欠陥のプロセスで行う必要があることが分かった。しかし、無欠陥のプロセスとしてウエットエッチングと同様に知られるケミカルドライエッチングは、ウエットエッチングよりもエッチング速度が遅く、

またウエットエッチングと同じく等方性エッチングであるためサイドエッチが生じて微細化には不向きである。従って、微細化でチャネル長を短くすることによりチャネル抵抗、オン抵抗の低減を行なう現在の技術からすると、ケミカルドライエッチングは溝形成工程には不向きと考えられていた。しかしながら、エッチングの後にLOCOS酸化することにより、初期溝（第1の溝、即ち溝64）を形成する製造方法においては、エッチングに要する時間はケミカルウエットエッチングもケミカルドライエッチングも差ほど変わらず、それにも係わらず最終的に得られるチャネル領域表面の格子欠陥が非常に少なくなり、また任意の指数面が正確に形成できるということが分かった。

【0079】以上、本発明を一実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図13で示される、弗酸を含む水溶液中でのLOCOS酸化膜の除去後、本実施例では自然酸化によりシリコン表面を自然酸化膜で保護したが、この工程を高温、例えば900℃で行ってもよい。そして、n型ソース層、p型ソース層の形成をLOCOS酸化膜の除去後に、レジストマスクを用いて行っても良い。また、選択酸化膜を除去して得られた溝の側面の面方位が低指数面の(110)面や(100)面となるように、基板の面方位、パターン形状を選択しても良い。なお、上記実施例は本発明を縦型パワーMOSFETに適用した場合についてのみ説明したが、それに限定されるものではなく、このような縦型パワーMOSFETを組み込んだパワーMOSICに適用しても良い。またさらに、本実施例においては半導体基板としてn<sup>+</sup>型半導体基板を持ちいた縦型パワーMOSFETについて説明したが、p<sup>+</sup>型半導体基板を用いた絶縁ゲート型バイポーラトランジスタ(IGBT)のゲート構造にも適用することができる。また、ケミカルドライエッチング工程を、CCl<sub>4</sub>、Cl<sub>2</sub>、SF<sub>6</sub>、CFCl<sub>3</sub>、CF<sub>2</sub>Cl<sub>2</sub>、CF<sub>3</sub>Cl、CHF<sub>3</sub>、C<sub>2</sub>ClF<sub>5</sub>、F<sub>2</sub>、NF<sub>3</sub>、BCl<sub>3</sub>の内の何れか一つもしくは複数を含むガス系で行っても良い。これにより、効率良くエッチングすることができる。さらに、本実施例においては、半導体基板に電圧を印加しないで行ったが、ケミカルドライエッチング工程は、電離されたガス雰囲気中において、前記半導体層の上方での陰極降下の絶対値が10V未満の状態で行なっても良い。これにより電離されたガスが、半導体層表面に欠陥を与えてしまうほどの速度で衝突することがなくなる。そして、形成される溝64の表面を欠陥の非常に少ない表面とすることができる。また、本実施例ではnチャネル型についてのみ説明したが、n型とp型の半導体の型を入れ換えたpチャネル型についても同様の効果が得られることは言うまでもない。

【図面の簡単な説明】

【図1】図(a)は本発明の第1実施例による縦型パワーMOSFETの一部を示す平面図であり、図(b)は図(a)のA-A断面図である。

【図2】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する図である。

【図3】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する断面図である。

【図4】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図5】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図6】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部平面図である。

【図7】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する図である。

【図8】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図9】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図10】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図11】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図12】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図13】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する図である。

【図14】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する図である。

【図15】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図16】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する図である。

【図17】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する図である。

【図18】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図19】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図20】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図21】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図22】本発明の第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

【図23】図(a)は従来の縦型パワーMOSFETの一部を示す平面図であり、図(b)は図(a)のA-A断面図である。

50 【図24】従来の縦型パワーMOSFETの製造工程の

25

説明に供する要部断面図である。

【図 25】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 26】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 27】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 28】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 29】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 30】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 31】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 32】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 33】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 34】従来の縦型パワー MOSFET の製造工程の説明に供する要部断面図である。

【図 35】従来の縦型パワー MOSFET の製造工程の\*

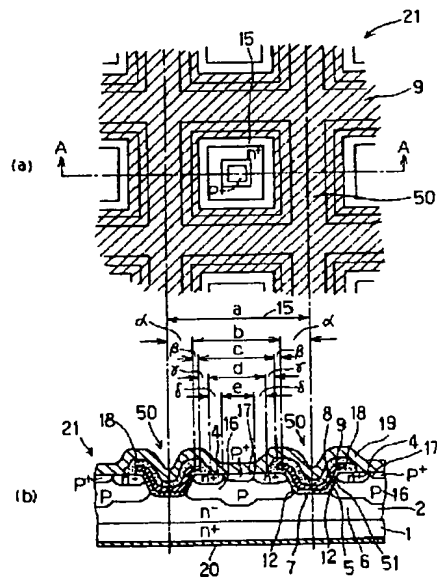
26

\* 説明に供する要部断面図である。

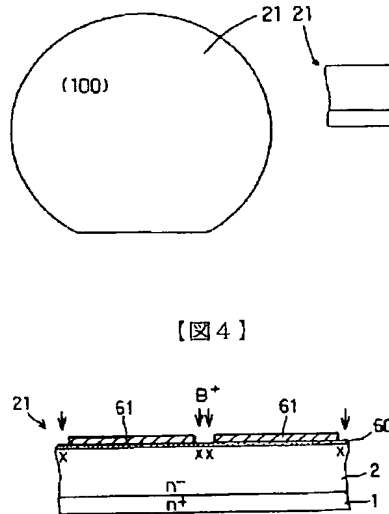
【符号の説明】

- 1  $n^+$  型半導体基板
- 2  $n^-$  型エピタキシャル層
- 4  $n^+$  型ソース層
- 5 チャンネル
- 6  $n^-$  型ドレイン層
- 7 JFET 部
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 16 p 型ベース層
- 19 ソース電極
- 20 ドレイン電極
- 50 U 溝
- 51 U 溝の内壁
- 65 LOCOS 酸化膜
- 601 酸化炉
- 603 ウエハポート
- 700 水溶液
- 702 放電室
- 703 反応室
- 704 遮光布

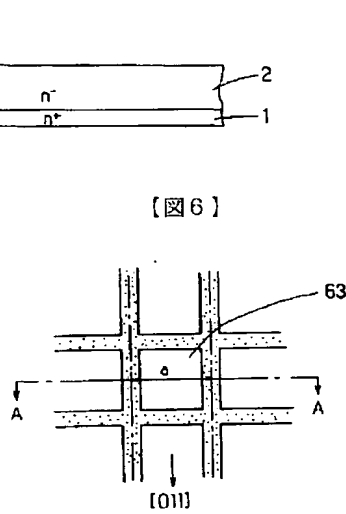
【図 1】



【図 2】



【図 3】



【図 6】

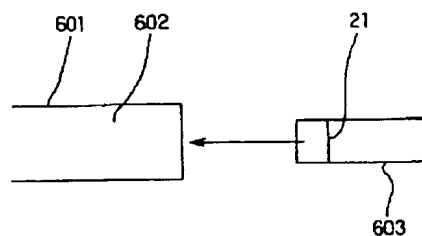
【図 4】

【図 5】

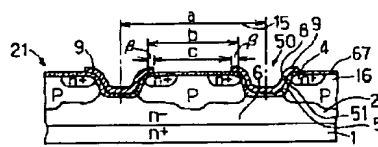
【図 10】



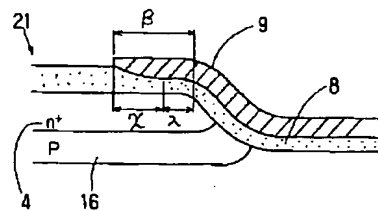
【図17】



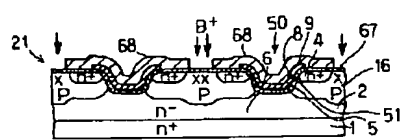
【図19】



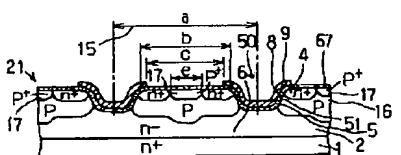
【図20】



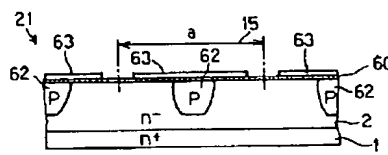
【図21】



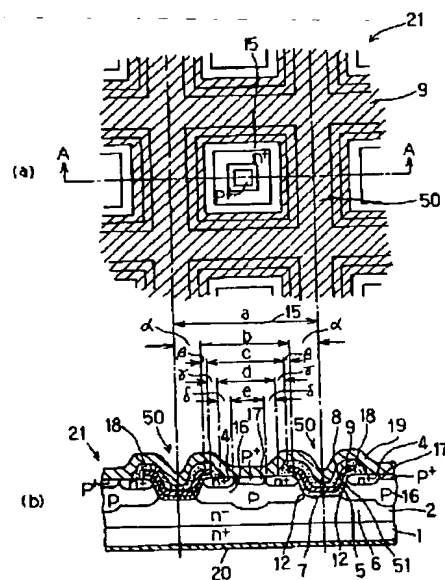
【図22】



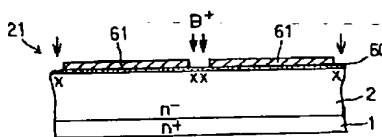
【図25】



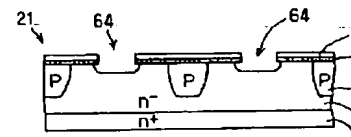
【図23】



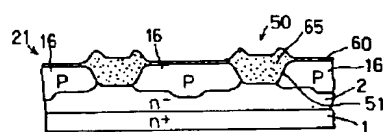
【図24】



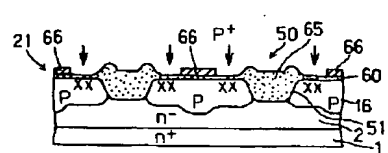
【図26】



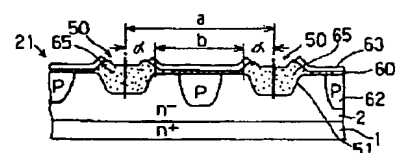
【図29】



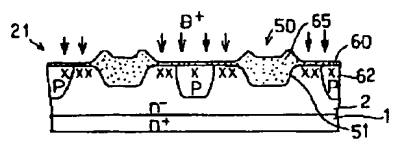
【図30】



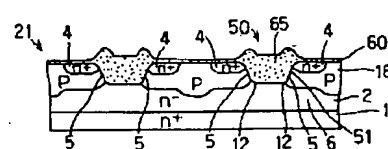
【図27】



【図28】

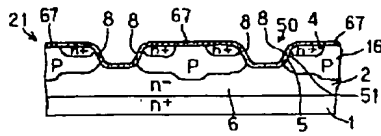


【図31】

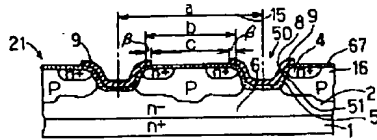




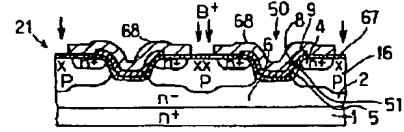
【図32】



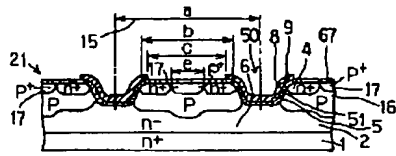
【図33】



【図34】



【図35】



フロントページの続き

(72)発明者 竹内 有一

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 戸倉 規仁

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内